

## Power-Clock-Gating in adiabatischen Logikschaltungen

Ph. Teichmann<sup>1</sup>, J. Fischer<sup>1</sup>, E. Amirante<sup>2</sup>, and D. Schmitt-Landsiedel<sup>1</sup>

<sup>1</sup>Lehrstuhl für Technische Elektronik, TU München, München, Germany

<sup>2</sup>now at: Infineon Technologies, München, Germany

**Zusammenfassung.** In statischen CMOS-Schaltungen wird Clock-Gating verwendet, um inaktive Schaltungsgruppen abzuschalten und damit dynamische Verluste zu reduzieren. Leckströme gewinnen in den neuen Technologien zunehmend an Bedeutung, und statische Verluste treten auf, die durch Power-Gating reduziert werden. Da adiabatische Logik eine getaktete Versorgungsspannung benutzt, kann hier mittels eines einzigen Switches sowohl ein Clock- als auch ein Power-Gating implementiert werden. Da der Switch auch die Verluste im eingeschalteten Zustand erhöht, muss ein besonderes Augenmerk auf die Auswahl und die Dimensionierung des Switches gelegt werden. Dieser Artikel zeigt die Grundlagen des Power-Clock-Gatings (PCG) in adiabatischer Logik, Betrachtungen zur Auswahl der geeigneten Switchtopologie und Vorschriften für die Dimensionierung des Switches. Des weiteren wird auf die Auswirkungen des PCG auf den Oszillator eingegangen.

---

**Abstract.** To minimize dynamic losses in static CMOS circuits, Clock-Gating ist used to disconnect inactive parts of a system from the clock signal. Leakage losses become more dominant in new technologies, which are reduced by Power-Gating. Adiabatic Logic uses a clocked power supply, thus Power- and Clock-Gating can be achieved using only one switch. As the switch raises the dissipated energy in on-state, a major concern is the choice and design of the switch topology. In this paper the basics of Power-Clock-Gating (PCG) in adiabatic logic are described, considerations about the choice of a switch topology are made and design rules for the switch are presented. Further, the influences of PCG on the oscillator are shown.

---

Correspondence to: Ph. Teichmann  
(teichmann@tum.de)

### 1 Einleitung

Heutige VLSI Schaltungen sind dadurch gekennzeichnet, dass neben der Steigerung von Performance und Flächeneffizienz die Minimierung der Verlustleistung immer mehr an Bedeutung gewinnt. Durch die fortschreitende Technologieskalierung wird sowohl die Performance der Schaltungen erhöht, als auch die Fläche pro logischer Operation immer geringer. Durch Kurzkanaleffekte, wie dem Drain-Induced Barrier Lowering (DIBL), (Troutman, 1979) werden jedoch auch die Unterschwellströme größer, und statische Verlustanteile gewinnen immer mehr an Bedeutung. So ist in neuen Technologien mit 90nm minimaler Strukturweite und darunter auch die Oxiddicke so gering, dass Ladungsträger durch die Oxidbarriere tunneln und die dadurch verursachten Gate-Leckströme merklich werden.

Zur Minimierung der Verlustleistung gibt es bei statischen CMOS Schaltungen verschiedenste Ansätze (Henzler et al., 2005; Drazdziulis et al., 2003; Roy et al., 2003). Die Ansätze unterscheiden sich danach, ob sie die statischen oder die dynamischen Verluste reduzieren. Da bei den dynamischen Verlusten in heutigen VLSI Designs mittlerweile schon über 30% (Tiwari et al., 1998) der Verluste auf dem Taktnetz dissipiert werden, ist Clock-Gating eine effektive Möglichkeit, die dynamischen Verluste zu verringern. Dabei werden gezielt einzelne Partitionen des Taktnetzes abgeschaltet. Die statischen Verluste können z.B. durch den gezielten Einsatz von Transistoren mit dicken Oxiden oder durch Power-Gating vermindert werden. Beim Power-Gating werden nicht benötigte Schaltungsgruppen mittels sogenannter Sleep-Transistoren von der Versorgungsspannung getrennt.

Eine weitere Möglichkeit, die dynamischen Verluste zu reduzieren, ist der Einsatz von Adiabatischer Logik, bei der die Ausgänge langsam und damit energiesparend umgeladen werden und die zum Schalten benötigte Ladung ins Versorgungsnetz zurückgeführt wird. Adiabatische Schaltungen

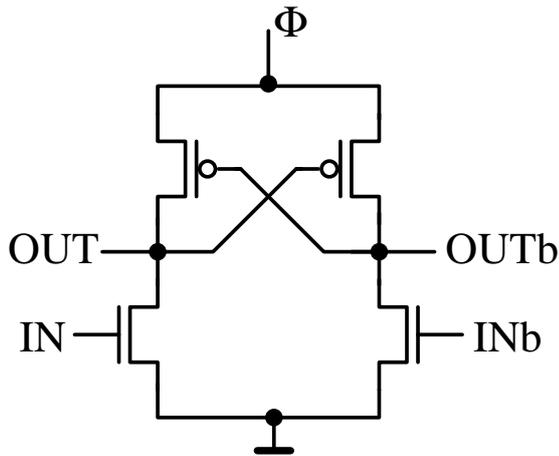


Abbildung 1. Schaltbild eines ECRL Inverters.

werden mit einer getakteten Versorgungsspannung, dem sogenannten Power-Clock (PC), betrieben. Dadurch wird bei dieser Art der Spannungsversorgung sowohl das Power- als auch das Clock-Gating mit einem einzigen Schalter durchgeführt. Daraus resultiert die Bezeichnung Power-Clock-Gating (PCG) bei Adiabatischer Logik.

Die in dieser Arbeit untersuchte adiabatische Schaltungsfamilie benötigt einen Power-Clock, der aus 4 Phasen besteht, die jeweils um  $90^\circ$  zueinander verschoben laufen. Diese 4 Phasen können mit einem Quadratur LC-VCO (Tiebout, 2001) erzeugt werden. Die Schwingfrequenz des Oszillators wird bestimmt durch die kapazitive Last der Schaltung und eine Spule. In Systemen mit PCG werden einzelne Teilbereiche der Schaltung abgeschaltet, die kapazitive Last vermindert, und der Oszillator ändert seine Mittenfrequenz.

Im weiteren Verlauf des Artikels wird zuerst das adiabatische Prinzip, die verwendete adiabatische Logikfamilie und das Taktsystem (Power-Clock) vorgestellt. Kapitel 3 zeigt, nach welchen Kriterien ein optimaler Schalter für PCG gewählt und dimensioniert wird. Im Kapitel 4 werden der Oszillator und die Einflüsse von PCG auf den Oszillator diskutiert. Abschließend folgt die Zusammenfassung.

## 2 Adiabatische Logik und der Power-Clock

Die in Moon et. al. (1996) vorgestellte Efficient-Charge-Recovery-Logic (ECRL) ist wie die Cascode-Voltage-Switch-Logic (CVSL) aufgebaut und besitzt differentielle Ausgangssignale. Wie in Abb. 1 zu sehen ist, besteht ein ECRL Gatter aus einem kreuzgekoppelten Paar von p-Kanaltransistoren und den dualen, aus n-Kanaltransistoren bestehenden Logikblöcken. Die dazugehörige Versorgungsspannung  $\Phi$  ist im Idealfall ein trapezförmiges Signal wie in Abb. 2 dargestellt. Jede Phase ist in 4 Abschnitte unterteilt. Während des Evaluate-Abschnitts werden die Eingangssi-

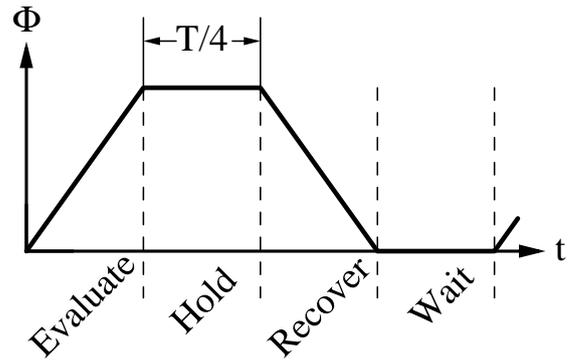


Abbildung 2. Aufbau des Power-Clock (PC).

gnale ausgewertet. Im Hold-Abschnitt sind die Ausgänge stabil. Im darauffolgenden Recover-Abschnitt wird die Ladung zur Spannungsversorgung zurückgeführt. Der Wait-Abschnitt ist aus Symmetriegründen eingeführt. Um ein System aus ECRL-Gattern aufzubauen, sind 4 Phasen nötig, die jeweils  $90^\circ$  verschoben sind.

In Glchg. (1) ist der Energieverbrauch pro Takt eines ECRL Gatters in Abhängigkeit von der Periodendauer  $T$  des PCs gegeben.

$$E_{AL} = 8 \frac{R_{AL} C_{AL}}{T} C_{AL} V_{DD}^2 \quad (1)$$

Bei statischen CMOS-Schaltungen geht in den Energieverbrauch auch der Aktivitätsfaktor  $\alpha$  mit ein, der die Schalthäufigkeit eines Signals angibt.

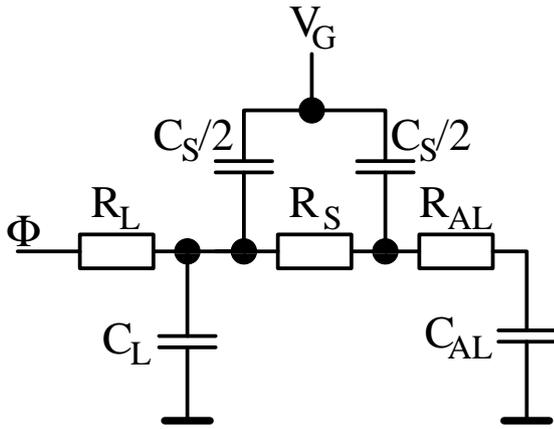
$$E_{CMOS} = \alpha \frac{1}{2} C_{CMOS} V_{DD}^2 \quad (2)$$

Aus Glchg. (1) erkennt man, dass bei adiabatischer Logik unabhängig von der Aktivität des Eingangsvektors immer Energie verbraucht wird. Lediglich die Kapazität  $C_{AL}$  verändert sich geringfügig mit dem Eingangsvektor. So ist gewährleistet, dass der Oszillator eine annähernd konstante, kapazitive Last sieht und damit sehr stabil auf seiner Mittenfrequenz schwingt.

Aber auch inaktive Schaltungsteile tragen einen großen Anteil zum Gesamtverbrauch bei. Hier setzt die Idee des PCG an. Mit einem Schalter sollen Teile des Systems, die für gewisse Zeiten nicht gebraucht werden, vom PC abgetrennt werden. Unter Umständen kann auch das gesamte System in einen Sleep-Modus versetzt werden.

## 3 Grundlagen des Power-Clock-Gating

Durch das Einbringen eines Schalters in den Ladepfad der adiabatischen Logik wird der Widerstand im Ladepfad erhöht und bewirkt eine Erhöhung der adiabatischen Verluste laut Glchg. (1). Bei einem MOSFET als Schalter wird



**Abbildung 3.** Ersatzschaltbild eines adiabatischen Systems mit MOSFET Schalter für PCG und Zuleitung.

dieser zusätzliche Widerstand durch größere Weiten verringert. Allerdings geht in Glchg. (1) die Kapazität quadratisch mit ein, welche sich linear mit der Weite des Transistors vergrößert. Daraus wird ersichtlich, dass ein Optimum der Weite des Transistors gefunden werden kann.

Fügt man den Schalter zwischen der Zuleitung für den PC ( $\Phi$ ) und der adiabatischen Schaltung ein, ergibt sich das Ersatzschaltbild in Abb. 3. Hier stellen  $R_L$  und  $C_L$  die Zuleitung,  $R_S$  und  $C_S$  den Switch,  $R_{AL}$  und  $C_{AL}$  das adiabatische System dar. Ist die Periodendauer des PC deutlich kleiner als die RC-Konstante der Schaltung, dann kann der Energieverbrauch wie folgt angegeben werden:

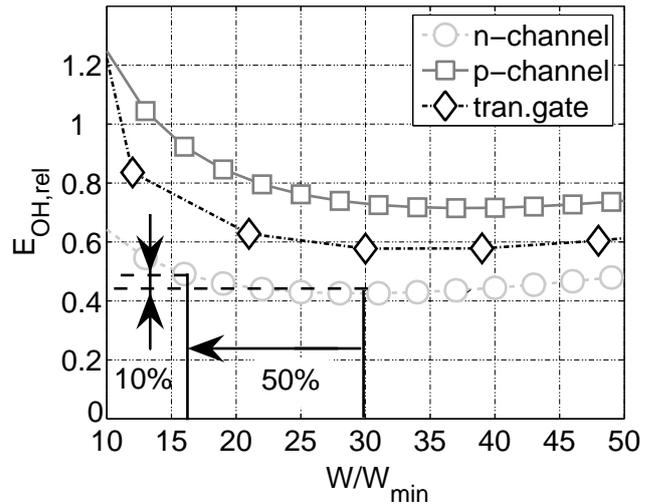
$$E_{ges} = \frac{8V_{DD}^2}{T} \left[ R_L (C_L + C_S + C_{AL})^2 + R_S \left( \frac{C_S}{2} + C_{AL} \right)^2 + R_{AL} C_{AL}^2 \right] \quad (3)$$

In Glchg. (3) geht die Kapazität  $C_S$  und der Kanalwiderstand  $R_S$  des MOSFET-Schalters mit ein. Somit ist der Energieverbrauch von der Weite des Schalters abhängig. In Abb. 4 ist der relative Energie-Mehraufwand  $E_{OH,rel}$  in Abhängigkeit von der Schalterweite  $W$  für verschiedene Topologien des Schalters dargestellt, gegeben durch

$$E_{OH,rel} = \frac{E_{on} - E_0}{E_0} \quad (4)$$

Hier ist  $E_{on}$  der Energieverbrauch der Schaltung mit PCG im eingeschalteten Zustand und  $E_0$  der Energieverbrauch der Schaltung ohne PCG.

Es wird sowohl ein n- und ein p-Kanaltransistor mit erhöhter Steuerspannung als auch ein Transmission-Gate betrachtet. Die Steuerspannung beträgt für den n-Kanal-MOSFET  $V_{DD} + 400\text{ mV}$  und für den p-Kanal-MOSFET  $-400\text{ mV}$ . Die aufgetragene Weite des Transmission-Gates ist die Summe der Weiten  $W_n$  und  $W_p$  von n- und p-



**Abbildung 4.** relativer Energie-Mehraufwand  $E_{OH,rel}$  über der Schalterweite  $W$ .

Kanaltransistor. Das Verhältnis zwischen den Transistorweiten des Transmission-Gates ist  $W_p = 2W_n$ . Als adiabatische Last wurde ein Äquivalent von 128 ECRL-Invertern angenommen.

Zu sehen ist, dass es ein Minimum und eine zugehörige optimale Weite gibt und dass sich für einen geringen Mehrverbrauch der Energie die Schalterweite deutlich gegenüber der Weite, bei der das Minimum des Energieverbrauchs auftritt, reduzieren lässt. In Abb. 4 wird gezeigt, wie sich durch die Reduktion der Schalterweite  $W$  beim n-Kanal-MOSFET Schalter um 50% ein Energieanstieg von nur 10% ergibt.

Für die Auswahl der geeigneten Topologie ist ein Kompromiss zwischen Fläche und relativem Energie-Mehraufwand einzugehen. Dabei muss noch in Betracht gezogen werden, dass auch die Schaltung zur Erzeugung der erhöhten Steuerspannung Fläche und Energie verbraucht. Der p-Kanal MOSFET ist als PCG Schalter ungeeignet, da sein Widerstand höher als der des n-Kanal-MOSFET ist. Geeignet als Schalter sind das Transmission-Gate und der n-Kanaltransistor mit erhöhter Steuerspannung.

### 3.1 Minimale Abschaltzeit $T_{MPD,0}$

PCG bringt durch den erhöhten Ladewiderstand im Ein-Zustand eine Erhöhung des Energieverbrauchs mit sich. Es muss untersucht werden, unter welchen Bedingungen durch das Abschalten diese zusätzliche Energie ausgeglichen werden kann. Die Minimale Abschaltzeit  $T_{MPD,0}$  sagt dabei aus, welche Zeit  $T_{off}$  mindestens abgeschaltet werden muss, damit der Mehraufwand durch PCG und durch den Umschaltvorgang vom Ein- in den Aus-Zustand und umgekehrt kompensiert wird.

$$T_{MPD,0} = E_{OH,rel} T_{on} + T \frac{E_{SOH}}{E_0} \quad (5)$$

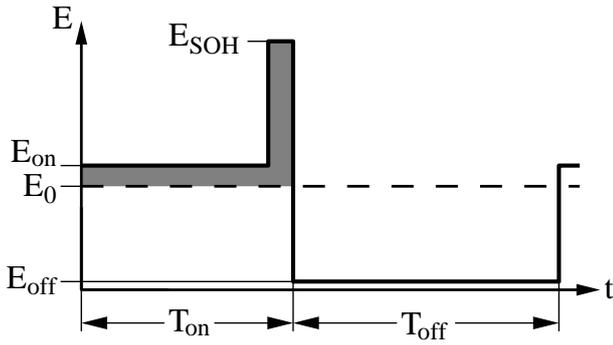


Abbildung 5. prinzipieller Verlauf der Energie pro Takt bei PCG.

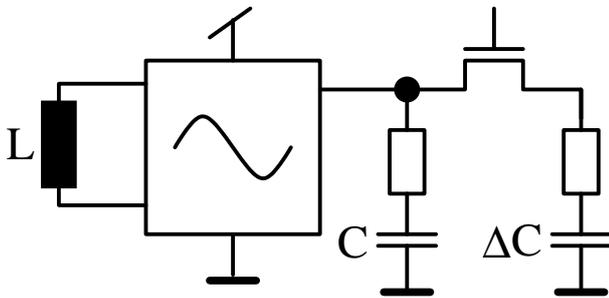


Abbildung 6. Abklemmen kapazitiver Last vom Oszillator.

$T_{on}$  gibt die Zeit an, in der das System eingeschaltet ist, und  $E_{SOH}$  steht für den Energie-Mehraufwand durch den Umschaltvorgang. In Glchg. (5) ist zu sehen, dass sich die Zeit im Ein-Zustand  $T_{on}$  linear auf die Minimale Abschaltzeit  $T_{MPD,0}$  auswirkt. Dabei ist angenommen, dass die Restenergie im abgeschalteten Zustand  $E_{off}$  vernachlässigt werden kann.

Abbildung 5 zeigt eine graphische Illustration der Minimalen Abschaltzeit. Der grau hinterlegte Bereich ist der Mehraufwand durch das PCG und den Umschaltvorgang. Soll dieser Energie-Mehraufwand ausgeglichen werden, dann muss  $T_{off}$  mindestens so groß gewählt werden, dass dieser Mehraufwand durch die Einsparung im Aus-Zustand kompensiert wird.

Somit hat man durch die Minimale Abschaltzeit  $T_{MPD,0}$  einen Richtwert für den Einsatz von PCG in einem System. Das heißt, dass eine Anwendung darauf zu untersuchen ist, ob sie für entsprechend lange Zeiten abzuschalten ist.

#### 4 Oszillator

ECRL arbeitet nach dem Prinzip der Ladungsrückgewinnung und stellt damit die Anforderung an die Versorgungsspannung, Energie wieder aufnehmen bzw. speichern zu können. Für die Erzeugung der 4 Phasen kann z.B. ein LC-

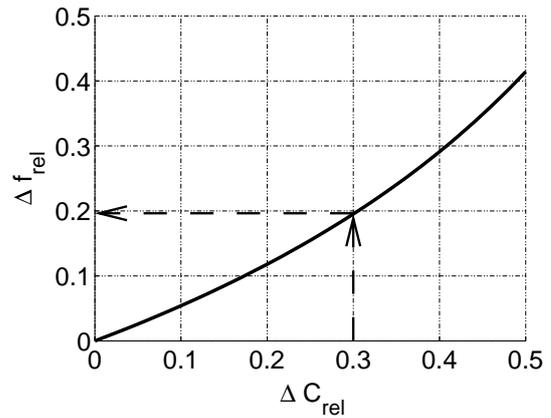


Abbildung 7. relative Frequenzänderung  $\Delta f_{rel}$  in Abhängigkeit von der relativen Kapazitätsänderung  $\Delta C_{rel}$ .

Quadraturoszillator verwendet werden. Die Mittenfrequenz eines LC-Oszillators bestimmt sich zu

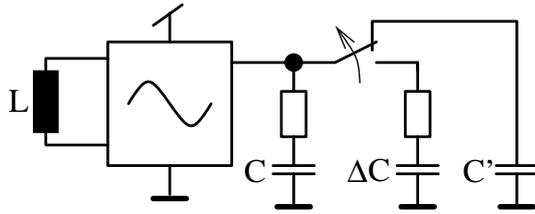
$$f = \frac{1}{2\pi\sqrt{LC}} \tag{6}$$

Wird durch PCG kapazitive Last vom System genommen, zieht das eine Änderung der Frequenz mit sich. In Abb. 6 ist ein System dargestellt, bei dem ein kapazitiver Anteil  $\Delta C$  mittels PCG vom Oszillator abgeklemmt wird. Die relative Frequenzänderung  $\Delta f_{rel}$  in Abhängigkeit von der relativen Kapazitätsänderung  $\Delta C_{rel}$  ist in Glchg. (7) angegeben.

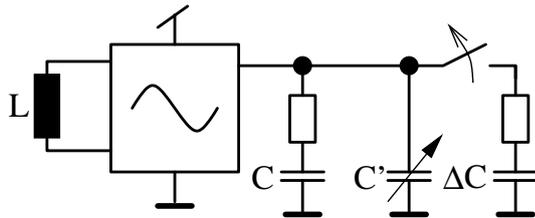
$$\begin{aligned} \Delta f_{rel}(\Delta C_{rel}) &\approx \frac{1}{\sqrt{1 - \Delta C_{rel}}} - 1 \tag{7} \\ \Delta C_{rel} &= \frac{\Delta C}{C_0} \\ \Delta f_{rel} &= \frac{\Delta f}{f(C_0)} \\ C_0 &= C + \Delta C \end{aligned}$$

Abbildung 7 zeigt die Auswirkung einer Änderung von  $\Delta C_{rel}$  auf  $\Delta f_{rel}$ . So wird bei einer Änderung der kapazitiven Last um 30% die Frequenz des Oszillators um 20% verstimmt. Diese Verstimmung kann im Allgemeinen nicht toleriert werden. Auch beim Einsatz synchronisierter Oszillatoren, die im folgenden Abschnitt angesprochen werden, sollte die erzwungene Schwingfrequenz nahe der Eigenfrequenz liegen. Deshalb sind Möglichkeiten zu finden, welche die kapazitive Änderung ausgleichen oder vermeiden.

Wird beim Wegschalten von Teilen der adiabatischen Last, wie in Abb. 8 gezeigt, auf eine Ersatzkapazität umgeschaltet, kann ein konstanter Kapazitätswert gehalten werden. Abbildung 9 zeigt eine weitere Möglichkeit. So kann eine abstimmbare Stützkapazität verwendet werden, die beim Umschalten in den Aus-Zustand die wegfallende kapazitive Last ausgleicht.



**Abbildung 8.** Umschalten auf eine Ersatzkapazität.



**Abbildung 9.** abstimmbare Stützkapazität gleicht Kapazitätsänderungen aus.

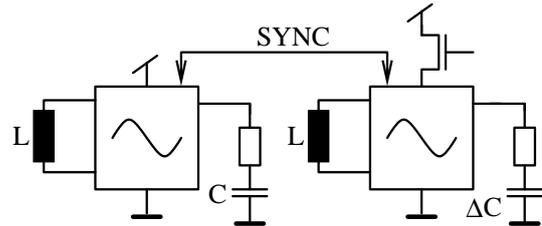
Sowohl die zuschaltbare Ersatzkapazität als auch die abstimmbare Stützkapazität lassen sich als MOSCAP realisieren. Dabei ist jedoch zu beachten, dass dies einen beträchtlichen Flächenverbrauch bedeutet.

Werden abschaltbare Oszillatoren verwendet, umgeht man das Problem der Verstimmung. Kann das gesamte System abgeschaltet werden, dann wird die Versorgungsspannung des Oszillators abgeklemmt oder der Oszillator wird in einem Zustand angehalten.

Soll nur ein Teil des adiabatischen Systems abgeschaltet werden, dann können wie in Abb. 10 dargestellt zwei oder mehrere Oszillatoren eingesetzt werden, die synchronisiert werden. Hierfür sind synchrone Oszillatoren wie in Arsalan et. al. (2005) geeignet. Sie werden über eigens generierte Steuersignale synchronisiert, die von einem Zustandsautomaten generiert werden. Bei dieser Lösung ist zu bemerken, dass im Falle von Aus-Chip-Spulen die Anzahl der Pins, die für den Anschluß der Spulen verwendet werden, mit der Anzahl  $N$  der Oszillatoren anwächst. Des weiteren benötigt man für die Spulen der einzelnen Oszillatoren andere Werte als für einen Einzeloszillator. Formt man Glchg. (6) nach  $L$  um, sieht man, dass die Spulen beim Partitionieren der Schaltung für  $f = \text{konst}$  größer werden, da die Gesamtkapazität auf mehrere Teilsysteme aufgeteilt wird.

$$L = \frac{1}{(2\pi f)^2 C} \quad (8)$$

Hier soll aber angemerkt werden, dass die Partitionierung des Systems sich in großen Blöcken gestaltet. So kann in einem adiabatischen System der digitalen Signalverarbeitung z.B. ein kompletter FIR-Filter abgeschaltet werden. Externe Spulen sollten größere Induktivitätswerte als die Bonddrähte haben, so dass hier sehr kleine Werte onehin ungünstig sind.



**Abbildung 10.** abzuschaltender Systemteil wird mit synchronem, abschaltbarem Oszillator betrieben

## 5 Zusammenfassung

Power-Clock-Gating (PCG) stellt eine effiziente Methode dar, um die Verluste von adiabatischen Schaltungen noch weiter zu verringern. Wird der Schalter zwischen den Oszillator und die adiabatische Schaltung gesetzt, ist die Auswahl eines geeigneten Schalters ausschlaggebend. Hier ist ein Kompromiss zwischen Fläche und Energie-Mehraufwand einzugehen. Es hat sich gezeigt, dass der p-Kanal-MOSFET als PCG-Schalter ungeeignet ist. Die Minimale Abschaltzeit  $T_{MPD,0}$  ist ein Kriterium, das die Grenze für den Einsatz von PCG in einem System angibt. Mit der Minimalen Abschaltzeit wird angegeben, wie lange ein System mindestens abgeschaltet werden muss, damit der durch den Schalter eingeführte Energie-Mehraufwand beim PCG kompensiert wird.

Durch das Abklemmen von Schaltungsteilen wird am Oszillator eine Veränderung der Mittenfrequenz durch die sich ändernde kapazitive Belastung verursacht. Hier sind Ersatz- und Stützkapazitäten möglich, die jedoch die Fläche der Schaltung erhöhen. Eine vielversprechende Möglichkeit besteht darin, das gesamte System abzuschalten oder einzelne Blöcke mit abschaltbaren Oszillatoren auszustatten.

## Literatur

- Arsalan, M. and Shams, M.: Charge-Recovery Power Clock Generators for Adiabatic Logic Circuits, Proc. of the 18th Intern. Conf. on VLSI Design, 2005.
- Athas, W. C., Svensson, J., Koller, J. G., Tzartzanis, N., and Chou, E. Y.: Low-power digital systems based on adiabatic-switching principles, in IEEE Trans. on VLSI Systems, 2, 398–406, 1994.
- Drazdziulis, M. and Larsson-Edefors, P.: A Gate Leakage Reduction Strategy for Future CMOS Circuits, ESSCIRC Europ. Solid Zustand Circuit Conf., 317–320, 2003.
- Hamzaoglu, F. and Stan, M. R.: Circuit-Level Techniques to Control Gate Leakage for sub-100nm CMOS, ISLPED, 60–63, 2002.
- Hemani, A., Meincke, T., Kumar, S., Postula, A., Olsson, T., Nilsson, P., Oberg, J., Ellervee, P., and Lundqvist, D.: Lowering power consumption in clock by using Globally Asynchronous Locally Synchronous design style, Proc. of the 36th ACM/IEEE conf. on Design automation, 873–878, 1999.

- Henzler, St., Nirschl, Th., Skiathitis, S., Berthold, J., Fischer, J., Teichmann, P., Bauer, F., Georgakos, G., and Schmitt-Landsiedel, D.: Sleep Transistor Circuits for Fine-Grained Power Switch-Off with Short Power-Down Times, Proc. of the IEEE Intern. Solid-Zustand Circuits Conf., ISSCC, 302–303 and 600, 2005
- Moon, Y. and Jeong, D.-K.: An Efficient Charge Recovery Logic Circuit, IEEE Journal of Solid-Zustand Circuits, 31, 514–522, 1996.
- Roy, K., Mukhopadhyay, S., and Mahmoodi-Meimand, H.: Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits, Proc. of the IEEE, 91, 305–327, 2003.
- Téllez, G. E., Farrahi, A., and Sarrafzadeh, M.: Activity-Driven Clock Design for Low Power Circuits, Intern. Conf. on Computer-Aided Design, ICCAD, 62–65, 1995.
- Tiebout, M.: Low-Power Low-Phase-Noise Differentially Tuned Quadrature VCO Design in Standard CMOS, IEEE Journal of Solid-Zustand Circuits, 36, 1018–1024, 2001
- Tiwari, V., Singh, D., Rajgopal, S., Mehta, G., Patel, R., and Baez, F.: Reducing Power in High-performance Microprocessors, Proc. of the 35th Design Autom. Conf. DAC98, 732–737, 1998.
- Troutman, R. R.: VLSI limitations from gate-induced barrier lowering, IEEE Journal of Solid-Zustand Circuits, 14, 383–391, 1979.